



NASPBを用いた SCIMAの評価

中村研究室修士2年

岩本 貢

発表の流れ

- 本研究の目的
- 評価条件
- NASPB CG
 - 最適化の戦略
 - 結果, 考察
- NASPB FT
 - 最適化の戦略
 - 結果, 考察
- NASPB MG
 - 最適化の戦略
 - 結果, 考察
- まとめ

本研究の目的

- HPC向けアーキテクチャSCIMAの有効性の検討
- NAS Parallel Benchmarks, CG, FT, MG を例題とし
 - Cache による最適化
 - SCIMA による最適化を比較する.

NASPB の概要

- 数値計算の代表的なベンチマーク.
 - **CG** : Conjugate Gradient (共役勾配)法を用いた大規模疎行列の固有値計算
 - **FT** : 3次元FFTおよび逆FFTを用いた偏微分方程式の数値計算
 - **MG**: Multi Grid 法を用いた3次元ポアソン方程式の数値解の計算
- 評価には **Serial 版**を使用.

評価条件

● パラメタ

- 同時発行命令数: Int=2, FP(積和, 除算/平方, 各) = 1
- データキャッシュ: 32kB, 4way, non-blocking L1 cache
 - OCM使用時: 4way cacheのうち 2way をOCM
2way 16kB cache & 16kB OCM評価に用いる class W のデータセットがキャッシュに載らない
- load, store スループット: 8B/cycle (cache,OCMのtotal)
- オフチップメモリスループット: 4B / cycle
- オフチップメモリレイテンシ: 40 cycle
- line サイズ: 32B, 64B, 128B, 256B と変化
- page サイズ: 4kB <= ラインと比較し粒度が大
- 命令キャッシュ: all hit, 分岐予測: perfect
- リザーベーションステーションをもつout-of-order実行

評価方法

- MIPS IV に次の命令を追加して評価

- `page-load`: メインメモリからOCMへの転送
- `page-store`: OCMからメインメモリへの転送

→ 命令は関数としてユーザがソースレベルで挿入

- 評価

- 評価時間を考慮し, `class W` のデータセットを選択
- クロックレベルシミュレータによる評価
 - オフチップトラフィック
 - 所要サイクル数

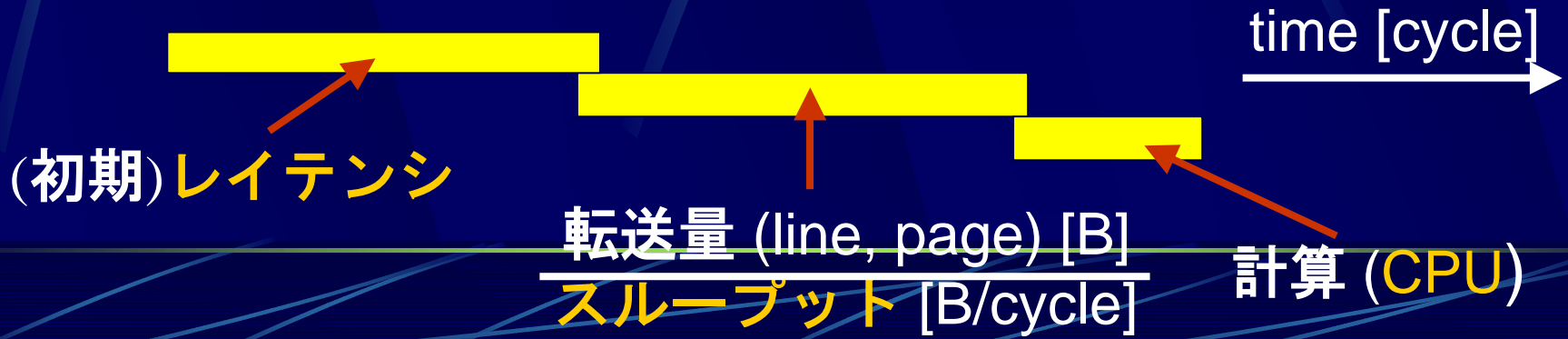
評価内容

1. オフチップトラフィック

2. 所要サイクル数

- C_{norm} = 評価条件でのシミュレーション
- C_{thinf} = 評価条件で Off-Chip throughput = ∞ にした評価
- C_{ideal} = 評価条件で Off-Chip throughput = ∞ ,
Off-Chip latency = 0 にした評価

- throughput stall = $C_{norm} - C_{thinf}$: スループット不足による待ち時間
- latency stall = $C_{thinf} - C_{ideal}$: 初期レイテンシによる待ち時間
- CPU busy time = C_{ideal} : 計算時間



NASPB CG

- 計算時間の大半: $q(k) = a(k) * p(\text{colidx}(k))$

a(): 疎行列: 非ゼロ率(1%) 間接ランダム参照, 再利用性あり

colidx(1)=3

colidx(2)=1 ↓ colidx(3)=5

7000要素
=4MB

0	0	8	0	0
1	0	0	0	3
0	0	0	2	0
0	3	5	0	0
0	0	0	0	4

×

5
1
2
3
4

16
17
6
13
16

$p(\text{colidx}(2)) = p(1)$

$p(\text{colidx}(1)) = p(3)$

$p(\text{colidx}(3)) = p(5)$

連続 整数配列

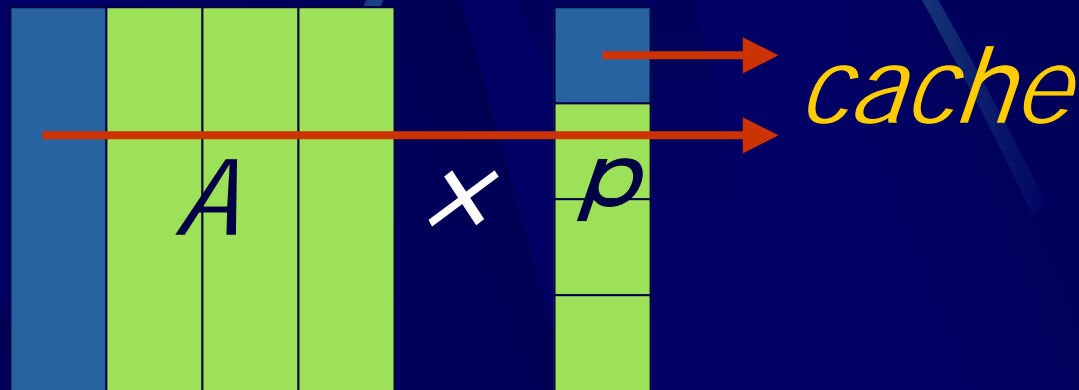
a() = { 8, 1, 3, 2, 3, 5, 4 }

colidx() = { 3, 1, 5, 4, 2, 3, 5 }

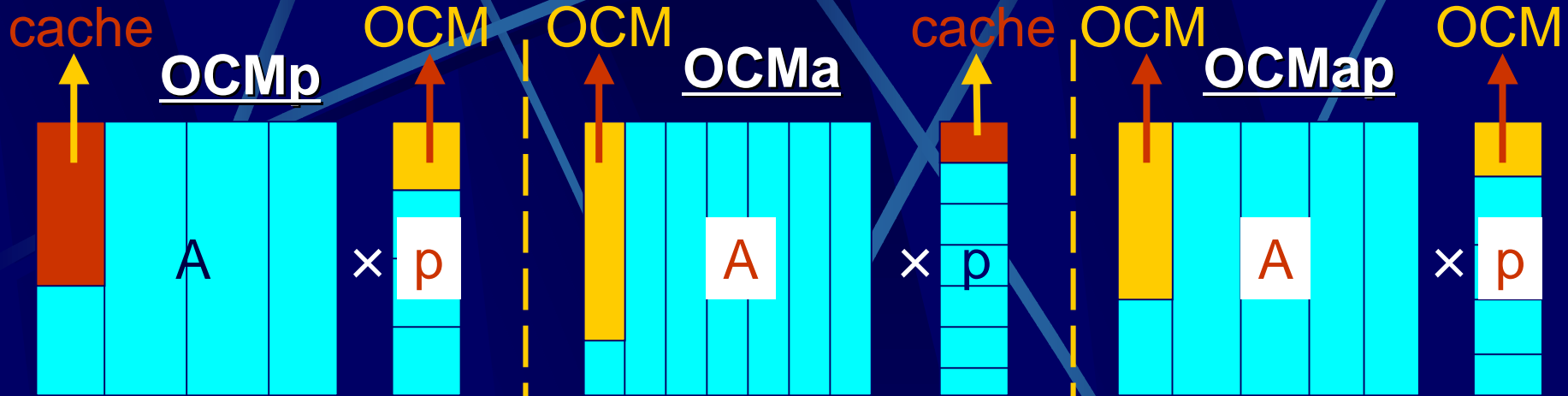
☹ a(): データサイズ大, 連続, 再利用性なし

キャッシュ最適化

- キャッシュブロッキング
 - 行列 a , ベクトル p をブロックに切り,
 p の再利用性を高める
 - a, p のコンフリクトが生じる可能性あり
 - cache 1way に p を載せるのが最適: 4分割



SCIMA 向け最適化



☺再利用率のあるpが
OCM上で干渉なく
再利用

➡pをできるだけOCM
へ => 4分割

☹連続アクセスされる
配列aのライン転送

☺aの大粒度転送
レイテンシの影響小

☹pのキャッシュ上での
干渉(キャッシュ2way)

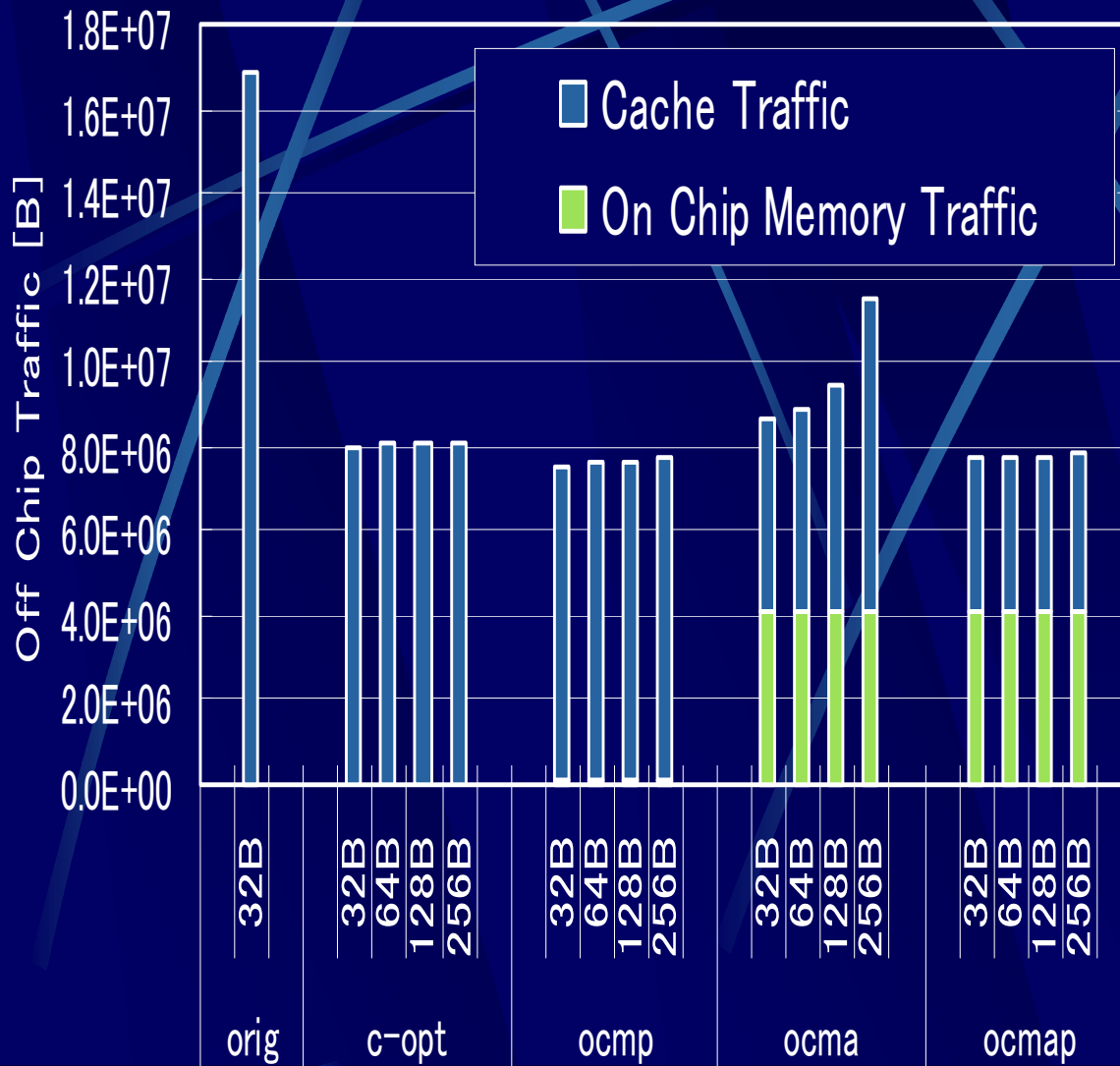
➡pのブロックを小さく
=> 7分割

☺OCMp, OCMa
の利点が共に
活かせる

➡aを1Page,
残りをp => 5分割

☹キャッシュがあまり
使われない

CGのオフチップトラフィック



● original と c-opt の比較

c-opt

☺ブロッキングの効果あり

● c-optとSCIMAの比較

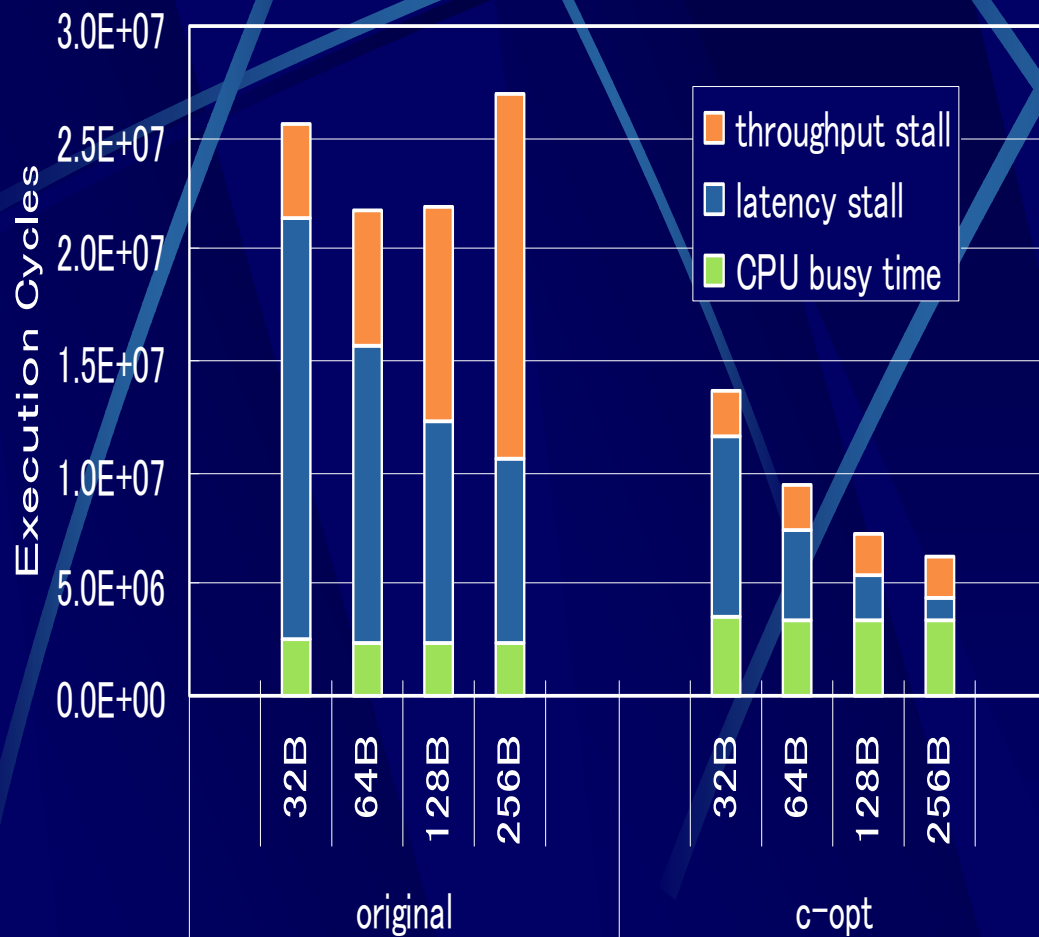
OCMp/OCMap

☺配列間干渉減
トラフィック小

OCMa

☹キャッシュ上での干渉

CGのサイクル数



● original と c-opt の比較

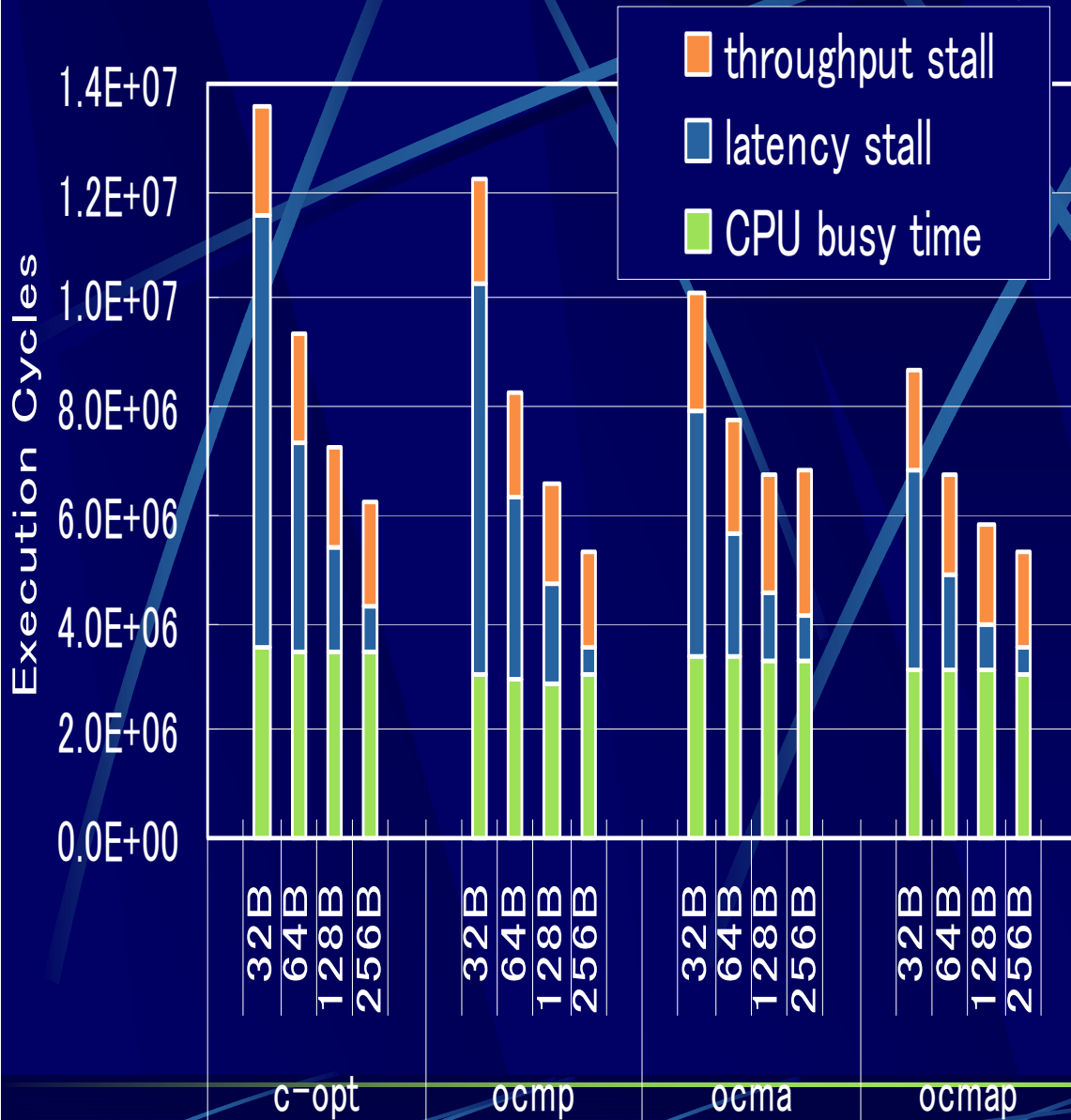
c-opt

☺ ブロッキング効果あり

- throughput stall 減
- latency stall 減

☞ SCIMA でさらに
throughput stall
latency stall
が減るか？

CGのサイクル数



● c-optとSCIMAの比較

OCMp

☺ throughput stall 減少

☹ latency stall は多い

OCMa

☺ latency stall 減少

☹ throughput stall は増加

OCMap

☺ OCMp, OCMaの利点
をもつ

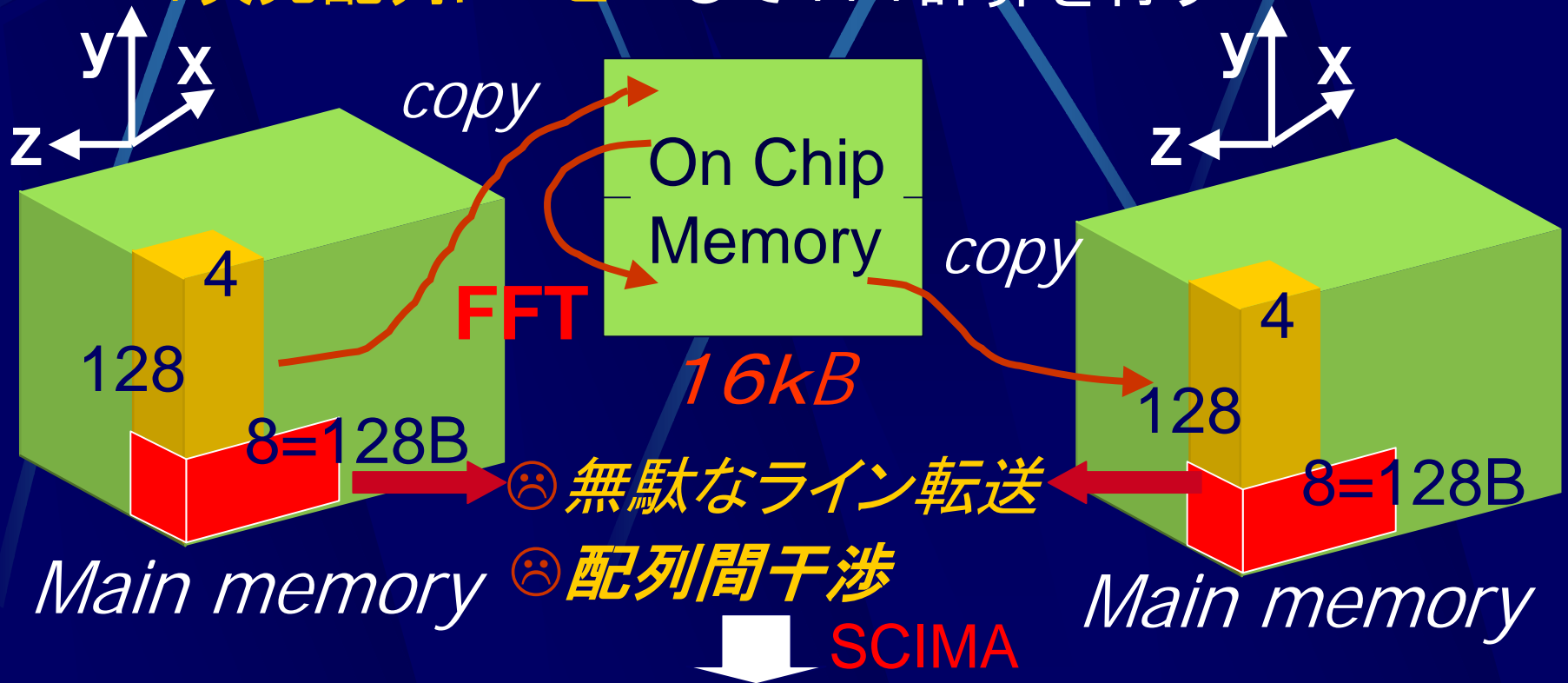
- throughput stall 小

- latency stall 小

☺ c-opt 比 1.6 倍性能向上
(line = 32B)

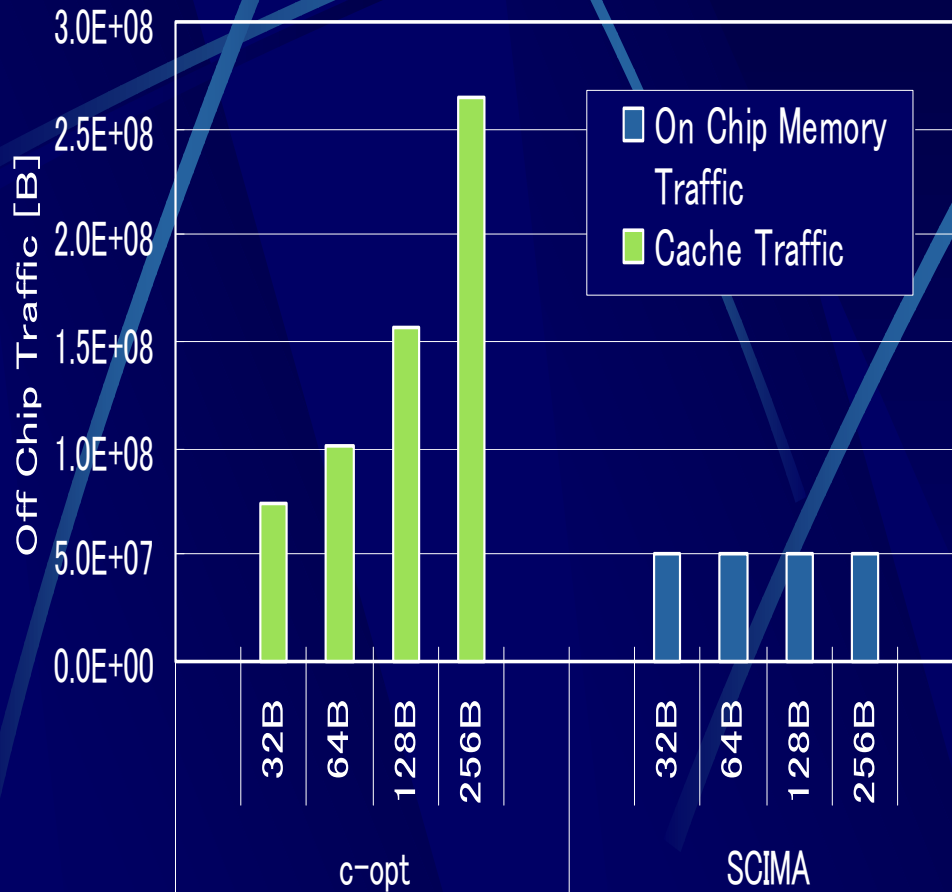
NASPB FT

- 3次元配列 (class W, $128 \times 128 \times 32$ 複素数) を 1次元配列にコピーして FFT 計算を行う



☺ ストライド転送, 干渉なし, 大粒度転送

FTのオフチップトラフィック



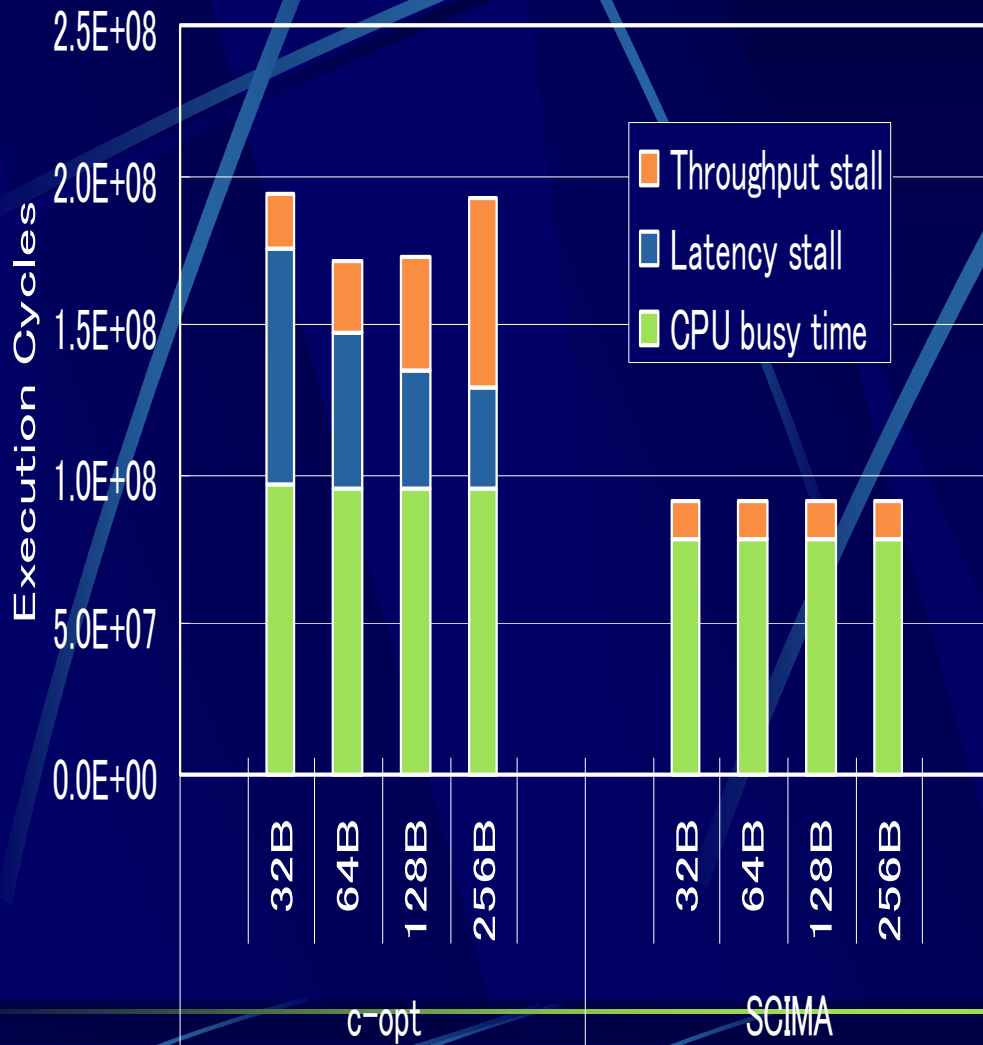
● キャッシュ最適化

1. 配列間干渉
2. ラインサイズが128B以上でのライン転送によるトラフィック

● SCIMA最適化

- 😊 1, 2が生じない
- ☞ キャッシュ最適化よりトラフィックが少ない
- ☞ ラインサイズによらず一定

FTのサイクル数



Throughput stall :

- トラフィックを反映：
SCIMAではラインサイズ
によらず一定で少ない

Latency stall :

- キャッシュ：ライン転送毎
にレイテンシがかかる
- SCIMAでは大粒度転送
により少ない

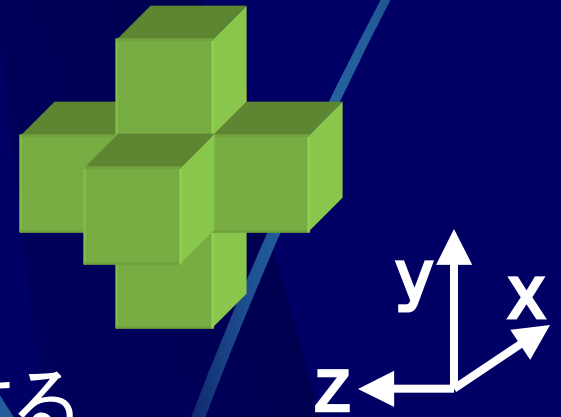


😊 32B/line のとき, 2.1倍
の性能向上

NASPB MG

- 3次元 stencil 計算 :

$$A(I,J,K) = C \times (B(I-1,J,K) \\ + B(I+1,J,K) \\ + B(I,J-1,K) \dots)$$



- 再利用性のあるデータにアクセスする.

➡ **ブロッキング**で対応

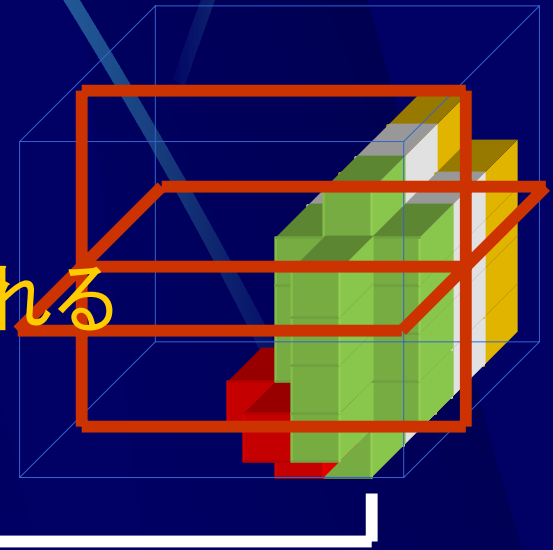


xy 平面のみ分割

高々Bのxy平面が3面載れば

z 方向への再利用性は活かされる

キャッシュから追い出されている



- 格子サイズ: 64 → 32 → ⋯ → 4 → ⋯ → 64と変化
ブロッキングは格子サイズ64,32で必要(for 32kB cache)

キャッシュ最適化: コスト関数

- 目的: ブロッキングによるオフチップトラフィックを最小にしたい

- 糊代を考慮 = コスト関数で見積もる

✓ Rivera, Tseng (SC '00)

ラインサイズを考慮に入れない

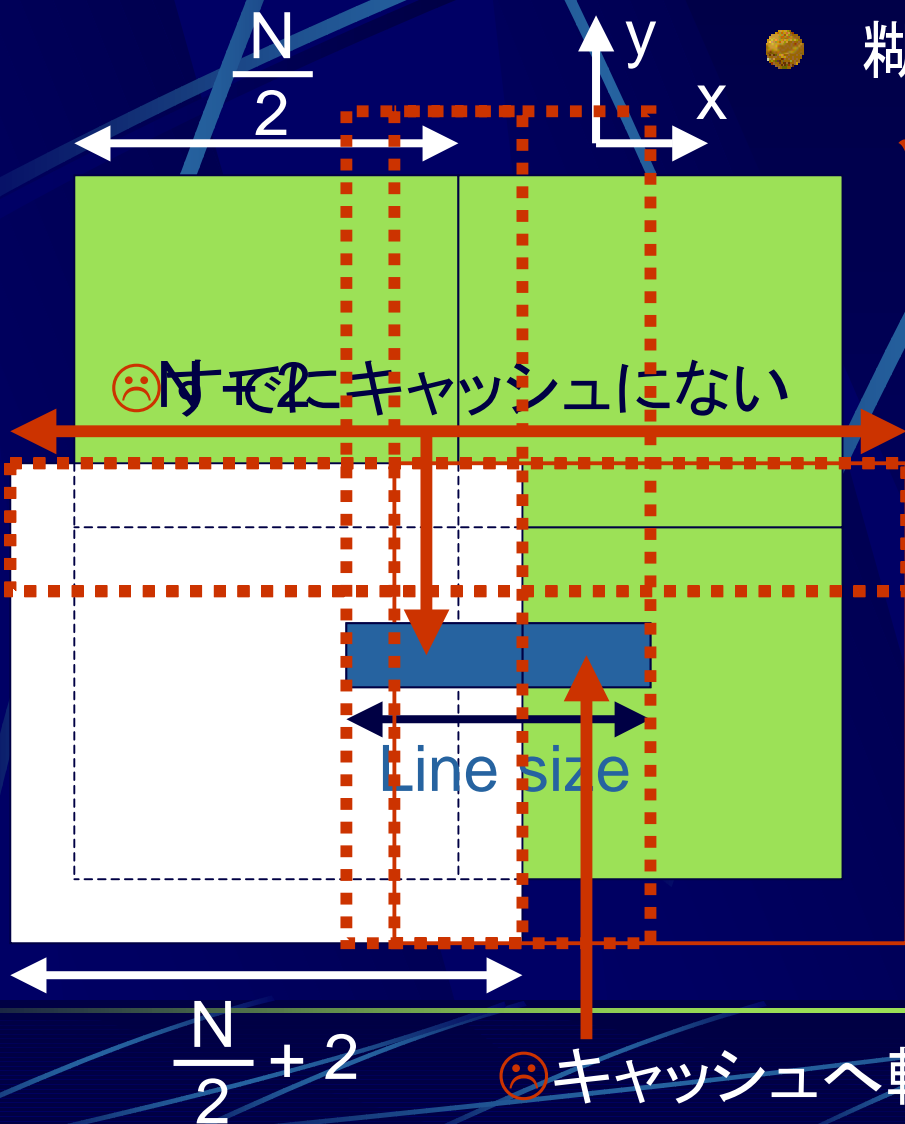
$$2(N+2) + 2(N+2)$$

実際は x 方向へのブロッキングには L word 分のトラフィック

$$2(N+2) + \underline{L}(N+2)$$

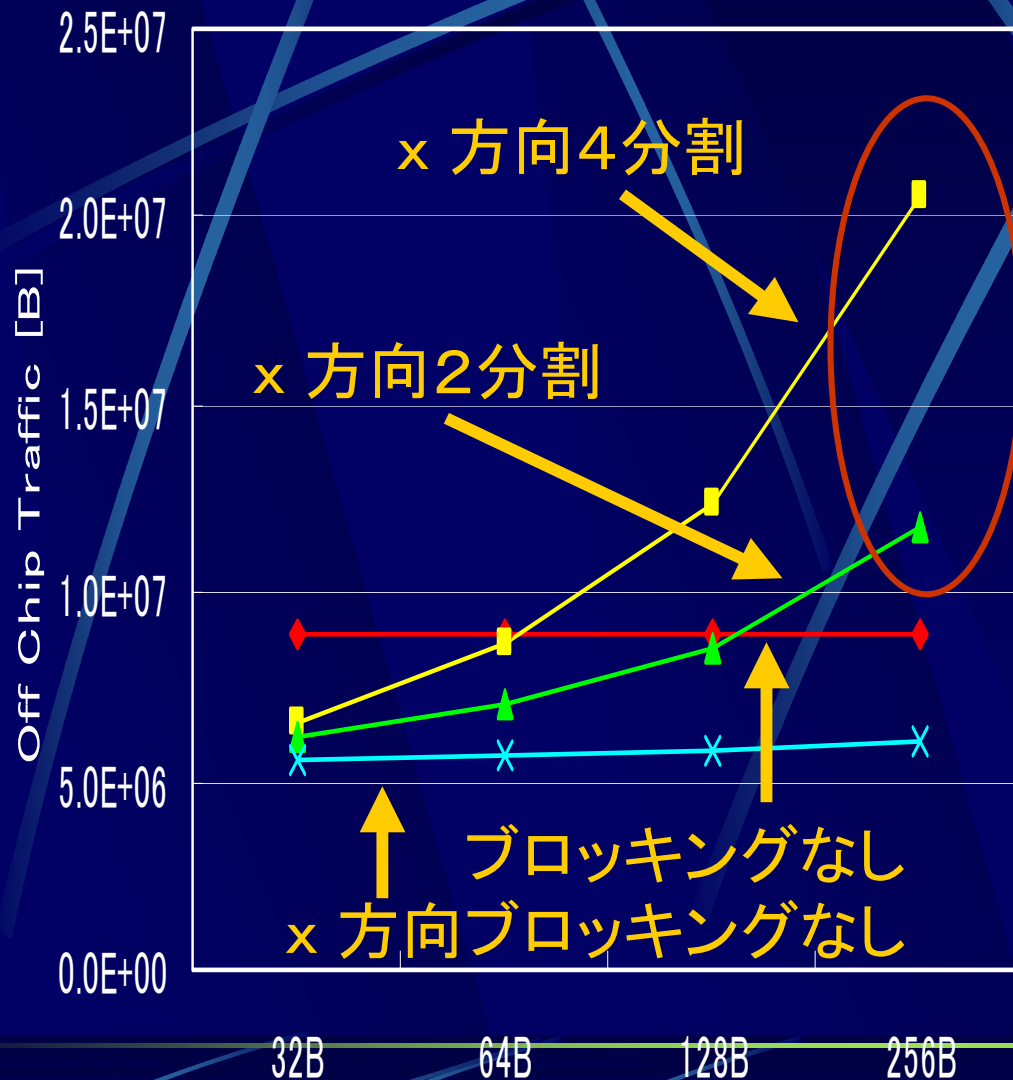
x 方向へブロッキングするとトラフィックが多い

➡ ラインが大きいと影響大



$$\frac{N}{2} + 2$$

ラインサイズの影響



- 格子サイズ N = 64
- 4way, 32kB キャッシュ

x 方向へブロックを切ると
ブロッキングしないものより
トラフィックが多い

☺ 提案するコスト関数の方が
正しくトラフィックを見積もる

☺ x 方向にブロックを切らない
方がトラフィック小

MGの最適化

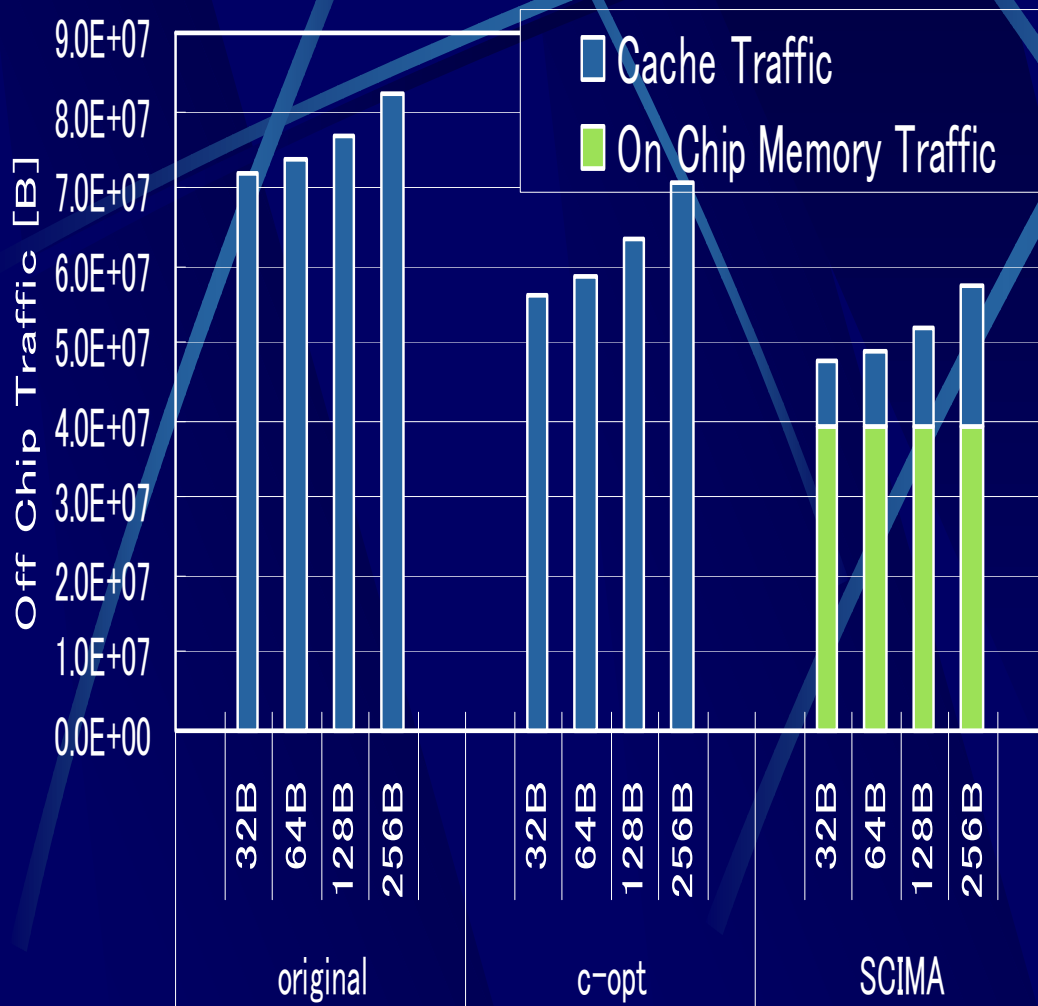
● キャッシュ最適化

- 高々 B 3面をキャッシュに載せる
- ブロッキングが必要な格子サイズ $N = 32, 64$
- y 方向のみブロッキング $32 \times 8, 64 \times 4$
- そのほかはブロッキングなし
- ☹ 配列間干渉は避けられない

● SCIMA 最適化

- 全ての配列を オンチップメモリに載せる
- ☺ 配列干渉なし, 大粒度転送
- ☺ x 方向へもブロッキング可能 => ブロックサイズ 16×16
実現できる最小のトラフィック
- ☹ キャッシュがあまり用いられない

MGのオフチップトラフィック



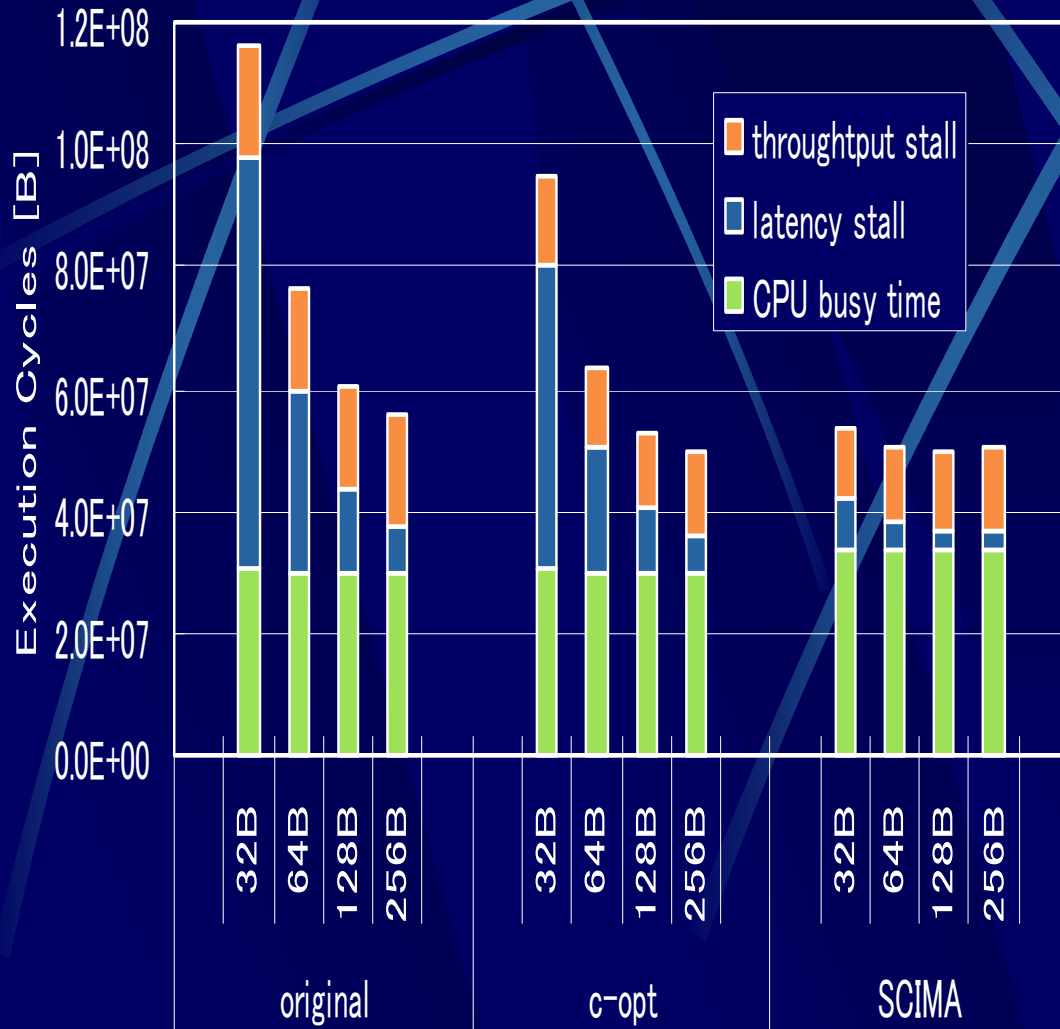
- ラインによる無駄な転送がない

- 配列間干渉なし



- SCIMAはキャッシュに比べてトラフィックが15~19%少ない

MGのサイクル数



- **トラフィック削減**
Throughput stall 減

- **大粒度転送**
Latency stall 減



- SCIMAはキャッシュに比べ**1.7倍の**サイクル数減(line 32B)

SCIMAの有効性

- **データの配置をユーザが指定できる**
 - 干渉を防ぎオフチップトラフィック減少
 - OCMp/ap(CG), FT, MG
- **ストライドアクセスによるオンチップメモリへの転送**
 - HPC等に多い定型的アクセスに効果
 - FT, MG
- **Page単位の大粒度転送**
 - オフチップアクセス回数の減少
 - OCMa/ap(CG), FT, MG

結論

- NASPBを用いキャッシュアーキテクチャに対するSCIMAアーキテクチャの有効性を示した
 - SCIMAの利点が性能向上をもたらす

今後の課題

- SCIMA最適化の指針の検討